

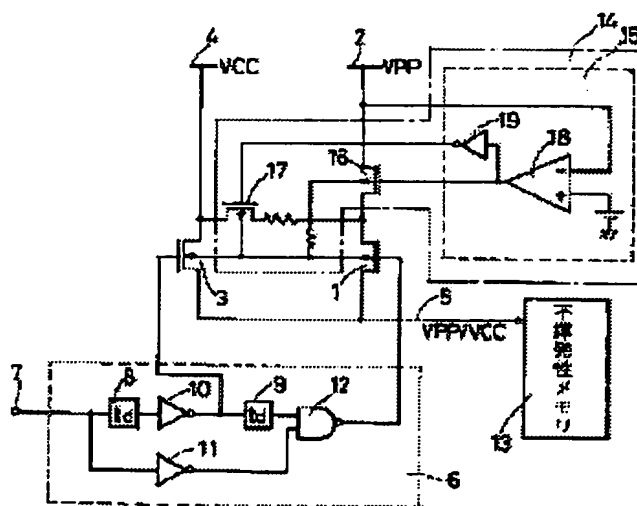
POWER SOURCE SWITCHING CIRCUIT

Patent number: JP5258584
Publication date: 1993-10-08
Inventor: NAKADE TOSHIMITSU
Applicant: SHARP CORP
Classification:
 - International: G11C16/06; H03K17/693
 - european:
Application number: JP19920052490 19920311
Priority number(s):

Abstract of JP5258584

PURPOSE: To prevent the backgates of a first and a second MOS transistors from a floating state in the power source switching circuit for alternatively supplying the voltages of the first power source line to which a voltage is supplied only when necessary and the second power source line to which a voltage is supplied at all times utilizing the first and the second MOS transistors, respectively.

CONSTITUTION: A connection switching circuit 14 is provided so as to switch the connections of the backgates of the first and the second MOS transistors 1, 3 from the high voltage power source line 2 to a low voltage power source line 4 if an external power source terminal for supplying a power source to a high voltage power source line 2 becomes an open terminal. The connection switching circuit 14 consists of a voltage detecting circuit 15 for detecting the presence or absence of the voltage on the high voltage source line 2 and the third and the fourth p-channel MOS transistors 16, 17 for switching the connections of the backgates of the first and the second MOS transistors 1, 3 from the high voltage power source line 2 to a low voltage power source line 4 when the absence of the voltage is detected by the voltage detecting circuit 15.



(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-258584

(43)公開日 平成5年(1993)10月8日

(51)Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

H 0 3 K 17/693

D 8221-5 J

9191-5 L

G 1 1 C 17/00 3 0 9 D

審査請求 未請求 請求項の数4

(全5頁)

(21)出願番号 特願平4-52490

(22)出願日 平成4年(1992)3月11日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 中出 敏光

大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内

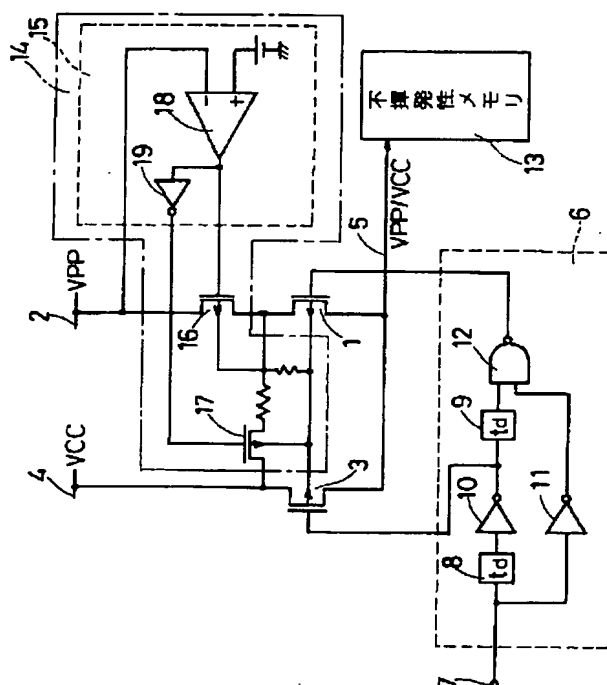
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】電源切換回路

(57)【要約】

【目的】 必要時のみ電圧が供給される第1の電源ラインと常時電圧が供給される第2の電源ラインとからの電圧を、夫々第1、第2MOSトランジスタを用いて択一選択的に供給させる電源切換回路において、その第1、第2MOSトランジスタのバックゲートがフローティング状態にならないようにする。

【構成】 高電圧電源ライン2への電源供給を行なう外部電源端子がオープン端子となった場合には、第1、第2MOSトランジスタ1、3のバックゲートを高電圧電源ライン2側から低電圧電源ライン4側に切り換え接続する切換接続回路14を設ける。この切換接続回路14は高電圧電源ライン2側の電圧の有無を検出する電圧検出回路15と、この電圧検出回路15にて電圧が無くなったことが検出されると第1、第2MOSトランジスタ1、3のバックゲートを高電圧電源ライン2側から低電圧電源ライン4側に切り換え接続するPチャンネルの第3、第4MOSトランジスタ16、17とから構成する。



【特許請求の範囲】

【請求項 1】 ソースが必要時のみ電圧が供給される第 1 の電源ラインに接続された第 1 MOS トランジスタと、ソースが常時電圧が供給される第 2 の電源ラインに接続された第 2 MOS トランジスタと、前記第 1、第 2 MOS トランジスタのドレインに接続された電圧供給ラインと、前記第 1、第 2 MOS トランジスタのゲートにスイッチング電圧を与えて前記第 1、第 2 MOS トランジスタを択一選択的に ON させる切換駆動回路とから成る電源切換回路において、前記第 1、第 2 MOS トランジスタのバックゲートを第 1 の電源ライン側又は第 2 の電源ライン側に切り換え接続する切換接続回路を設けたことを特徴とする電源切換回路。

【請求項 2】 前記切換接続回路は、第 1 の電源ライン側の電圧の有無又は低下を検出する電圧検出回路と、この電圧検出回路にて電圧が無くなったこと又は低下したことが検出されると第 1、第 2 MOS トランジスタのバックゲートを第 1 の電源ライン側から第 2 の電源ライン側に切り換え接続する切換用の素子とを含んでいることを特徴とする請求項 1 に記載の電源切換回路。

【請求項 3】 前記切換用の素子は、前記電圧検出回路によって ON される第 3、第 4 MOS トランジスタであることを特徴とする請求項 2 に記載の電源切換回路。

【請求項 4】 前記電圧供給ラインに E²PR OM が接続され、前記電圧供給ラインの電圧は前記 E²PR OM のデータの書き換え、読み出しに使用されることを特徴とする請求項 1 に記載の電源切換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電圧供給ラインに第 1 の電源ラインからの電圧と第 2 の電源ラインからの電圧とを択一選択的に供給させる電源切換回路に関するもので、例えば EPR OM や E²PR OM の電源切換に用いて好適なものである。

【0002】

【従来の技術】従来、例えば EPR OM や E²PR OM 等の不揮発性メモリはその記憶素子として MNOS トランジスタが使用されており、この MNOS トランジスタの性質から基板とゲート間にデータの読み出し時には低い電圧を印加して動作させ、データの書き換え時には高い電圧を印加するようになっている。従って、このような MNOS トランジスタで構成されたメモリにデータの書き込みと読み出しを行なうために図 2 に示すような電源切換回路が必要となる。即ち、1 はソースが高電圧電源ライン 2 側に接続された P チャンネルの第 1 MOS トランジスタ、3 はソースが低電圧電源ライン 4 側に接続された P チャンネルの第 2 MOS トランジスタで、第 1、第 2 MOS トランジスタ 1、3 のバックゲート（基板端子）は高電圧電源ライン 2 側に接続されている。5 は第 1、第 2 MOS トランジスタ 1、3 のドレインに接

続された電圧供給ライン、6 は制御端子 7 に印加される H レベルか L レベルかの制御信号に応じたスイッチング電圧を第 1、第 2 MOS トランジスタ 1、3 のゲートに与えて第 1、第 2 MOS トランジスタ 1、3 を択一選択的に ON させる切換駆動回路で、該切換駆動回路 6 は第 1、第 2 遅延素子（例えば、コンデンサ等）8、9 と第 1、第 2 インバータ 10、11 と NAND 回路 12 とで構成されており、NAND 回路 12 からの出力をスイッチング電圧として第 1 MOS トランジスタ 1 のゲートに供給するようになっていると共に、第 1 インバータ 10 からの出力をスイッチング電圧として第 2 MOS トランジスタ 3 のゲートに供給するようになっている。ここで、第 1、第 2 遅延素子 8、9 はスイッチング電圧の切換時に第 1、第 2 MOS トランジスタ 1、3 が同時にオンして両電源ライン 2、4 がショートするのを防止するためのもので、第 1 遅延素子 8 は NAND 回路 12 からのスイッチング電圧を H レベルにした後に第 1 インバータ 10 の出力を L レベルにし、第 2 遅延素子 9 は第 1 インバータ 10 の出力を H レベルにした後 NAND 回路 12 のスイッチング電圧を L レベルにするようになっている。そして、13 は電圧供給ライン 5 に接続されて高電圧電源ライン 2 或いは低電圧電源ライン 4 からの何れかの電圧が供給される EPR OM や E²PR OM 等の不揮発性メモリで、該不揮発性メモリ 13 は第 2 MOS トランジスタ 3 と電圧供給ライン 5 を通して低電圧電源ライン 4 から低電圧 VCC（例えば、5 V）が供給されるとスタンバイ或いはデータの読み出しモードとなり、逆に第 1 MOS トランジスタ 1 と電圧供給ライン 5 を通して高電圧電源ライン 2 から高電圧 VPP（例えば、12～15 V）が供給されるとデータ書き込みモードとなる。尚、この図 2 の回路全体は 1 つの IC チップ内に形成されるようになっている。

【0003】

【発明が解決しようとする課題】ところで、この不揮発性メモリ 13 が EPR OM で EPR OM 単体の IC として用いられる場合には、即ち EPR OM によるメモリ機能のみの IC として用いられる場合には、その高電圧電源ライン 2 に外部より電源供給を行なうための外部電源端子を設けて、この外部電源端子よりデータの書き込みモード時には 12～15 V の電圧を供給しスタンバイ或いはデータの読み出しモード時には 5 V の電圧を供給するようになっているので、高電圧電源ライン 2 側に接続された第 1、第 2 MOS トランジスタ 1、3 のバックゲートがオープン、即ちフローティング状態になることはない。そして、不揮発性メモリ 13 が E²PR OM で E²PR OM 単体の IC として用いられる場合も、先ず昇圧回路を内蔵する形式のものではその昇圧回路を動作させるか否かでデータの書き込みモード時に 12～15 V の電圧を高電圧電源ライン 2 に供給し、スタンバイ或いはデータの読み出しモード時には 5 V の電圧を高電圧電源

ライン 2 に供給するようになっているので、また昇圧回路を内蔵していない形式のものでは E² P R O M の場合と同様に外部電源端子を設けて、この外部電源端子よりデータの書き込みモード時には 12 ~ 15 V の電圧を高電圧電源ライン 2 に供給しスタンバイ或いはデータの読み出しモード時には 5 V の電圧を高電圧電源ライン 2 に供給するようになっているので、高電圧電源ライン 2 側に接続された第 1、第 2 M O S トランジスタ 1、3 のバックゲートがフローティング状態になると云った問題は生じない。

【0004】然し乍ら、例えば不揮発性メモリ 13 としての E² P R O M と共に演算処理素子等を 1 つの I C チップ内に組み込んだ複合 L S I の場合には、その高電圧電源ライン 2 側に常時は電圧を供給せず、その初期設定時にのみ外部電源端子より 12 ~ 15 V の電圧を供給しデータの書き込みモードに設定することで必要なデータを E² P R O M に書き込み、その後の実動作時は外部電源端子をオープン端子としスタンバイ或いはデータの読み出しモードとしてのみ用いる形式のものがあ

り、この場合高電圧電源ライン 2 側に接続された第 1、第 2 M O S トランジスタ 1、3 のバックゲートがフローティング状態となり、ラッチアップ等の誤動作を生じる虞れがあった。

【0005】本発明はこのような点に鑑み成されたものであって、不揮発性メモリへのデータの書き込み終了後その高電圧電源ラインへの電源供給を行なう外部電源端子をオープン端子として用いる場合に、ラッチアップ等の誤動作を生じないようにした電源切換回路を提供することを目的とする。

【0006】

【課題を解決するための手段】上記した目的を達成するため本発明では、ソースが必要時のみ電圧が供給される第 1 の電源ライン（この場合、高電圧電源ライン）に接続された第 1 M O S トランジスタと、ソースが常時電圧が供給される第 2 の電源ライン（この場合、低電圧電源ライン）に接続された第 2 M O S トランジスタと、前記第 1、第 2 M O S トランジスタのドレインに接続された電圧供給ラインと、前記第 1、第 2 M O S トランジスタのゲートにスイッチング電圧を与えて前記第 1、第 2 M O S トランジスタを択一選択的に O N させる切換駆動回路とから成る電源切換回路において、前記第 1、第 2 M O S トランジスタのバックゲートを高電圧電源ライン側又は低電圧電源ライン側に切り換え接続する切換接続回路を設けたものである。具体的に前記切換接続回路は、高電圧電源ライン側の電圧の有無又は低下を検出する電圧検出回路と、この電圧検出回路にて電圧が無くなったこと又は低下したことが検出されると第 1、第 2 M O S トランジスタのバックゲートを高電圧電源ライン側から低電圧電源ライン側に切り換え接続する切換用の素子とを含んでいるものであり、例えば前記切換用の素子は、

前記電圧検出回路によって O N される第 3、第 4 M O S トランジスタであり、前記電圧供給ラインに E² P R O M が接続され、前記電圧供給ラインの電圧は前記 E² P R O M のデータの書き換え、読み出しに使用されるものである。

【0007】

【作用】このような構成によると、高電圧電源ラインへの電源供給停止時又はその電圧低下時に切換接続回路により第 1、第 2 M O S トランジスタのバックゲートが高電圧電源ライン側から低電圧電源ライン側に切り換え接続されることになるので、例えば E² P R O M へのデータ書き込み終了後その高電圧電源ラインへの電源供給を行なう外部電源端子がオープン端子となった場合に、第 1、第 2 M O S トランジスタのバックゲートがフローティング状態になるのが防止されることになる。

【0008】

【実施例】以下、本発明の一実施例について図面と共に説明する。尚、従来と同一部分については同一符号を付すと共にその説明を省略する。本実施例では高電圧電源ライン 2 への電源供給を行なう外部電源端子がオープン端子となった場合に、前記第 1、第 2 M O S トランジスタ 1、3 のバックゲートを高電圧電源ライン 2 側から低電圧電源ライン 4 側に切り換え接続する切換接続回路 14 を設けたもので、第 1、第 2 M O S トランジスタ 1、3 のバックゲートがフローティング状態になるのを防止するようにしたものである。具体的に、切換接続回路 14 は図 1 に示すように高電圧電源ライン 2 側の電圧の有無を検出する電圧検出回路 15 と、この電圧検出回路 15 にて電圧が無くなったことが検出されると第 1、第 2 M O S トランジスタ 1、3 のバックゲートを高電圧電源ライン 2 側から低電圧電源ライン 4 側に切り換え接続する P チャンネルの第 3、第 4 M O S トランジスタ 16、17 とから構成されている。

【0009】ここで、第 3 M O S トランジスタ 16 はソースが高電圧電源ライン 2 側に接続されドレインが第 1 M O S トランジスタ 1 のソース側と第 1、第 2 M O S トランジスタ 1、3 のバックゲート側に接続され、また第 4 M O S トランジスタ 17 はソースが低電圧電源ライン 4 側に接続されドレインが第 1、第 2 M O S トランジスタ 1、3 のバックゲート側に接続されており、電圧検出回路 15 を構成する比較器 18 からの出力が第 3 M O S トランジスタ 16 のゲートに供給され、インバータ 19 からの出力が第 4 M O S トランジスタ 17 のゲートに供給されるようになってい

圧が供給されるようになっている。

【0010】従って、このような構成ではその低電圧、高電圧電源ライン4、2に夫々低電圧、高電圧が供給されている初期設定状態において、その制御端子7にLレベルの制御信号が印加されると、第2遅延素子9により先ず第1インバータ10より出力されるスイッチング電圧がHレベルになった後、NAND回路12より出力されるスイッチング電圧がLレベルとなる。そのため、第2MOSトランジスタ3がOFFとなった後に第1MOSトランジスタ1がONとなって、高電圧電源ライン2 10からの高電圧VPP（例えば、12～15V）が第1MOSトランジスタ1のソース・ドレイン、そして電圧供給ライン5を通して不揮発性メモリ13に供給されることになり、不揮発性メモリ13はデータの書き込みモードとなる。そして、データの書き込み終了後その制御端子7にHレベルの制御信号が印加されると、第1遅延素子8により先ずNAND回路12より出力されるスイッチング電圧がHレベル（例えば、15V）になった後に第1インバータ10より出力されるスイッチング電圧がLレベル（例えば、0V）となる。そのため、第1MOSトランジスタ1がOFFとなった後に第2MOSトランジスタ3がONとなって、低電圧電源ライン4からの低電圧VCC（例えば、5V）が第2MOSトランジスタ3のソース・ドレイン、そして電圧供給ライン5を通して不揮発性メモリ13に供給されることになり、不揮発性メモリ13はスタンバイ或いはデータの読み出しモードとなり、書き込んだデータを確認することができる。そして、このような初期設定時には比較器18の出力がLレベルにまたインバータ19の出力がHレベルになっているので、第3MOSトランジスタ16がONに 30また第4MOSトランジスタ17がOFFとなって、第1、第2MOSトランジスタ1、3のバックゲートは第3MOSトランジスタ16により高電圧電源ライン2側に接続されている。

【0011】次に、初期設定が終了して外部電源端子がオープン端子にされ、不揮発性メモリ13をスタンバイ或いはデータの読み出しモードのみにて用いる状態では、高電圧電源ライン2側の電圧が無くなって比較器18の出力がHレベルにまたインバータ19の出力がLレベルとなるので、第3MOSトランジスタ16がOFF 40にまた第4MOSトランジスタ17がONとなって、第1、第2MOSトランジスタ1、3のバックゲートは高電圧電源ライン2側から第4MOSトランジスタ17により低電圧電源ライン4側に切り換え接続されることになる。

【0012】以上、本実施例では高電圧電源ライン2側の電圧が無くなったことを検出するようにしたが、その電圧が低下したことを検出するようにしても良く、例え

ば比較器18の基準電圧を不揮発性メモリ13へのデータ書き込みに必要な電源電圧値に設定し、初期設定時に高電圧電源ライン2の電圧が基準電圧よりも低下した場合不揮発性メモリ13への書き込み不能状態であると判定して第1、第2MOSトランジスタ1、3のバックゲートを低電圧電源ライン4側に切り換え接続すると共に、制御端子7に印加される制御信号を強制的にHレベルとして第1MOSトランジスタ1がONとなることを禁止し、書き込み不能状態であることを従事者に知らせるようにしても良い。尚、制御信号を強制的にHレベルにするには、例えば比較器18又はインバータ19の出力に応じた制御動作を行なう制御ロジックを用いて行なわせるようにすれば良い。また、本実施例では第1、第2MOSトランジスタ1、3としてPチャンネルのものをを用いたが、Nチャンネルのものをを用いるようにしても良く、その際ホットエレクトロン効果等によるトランジスタ劣化の防止対策を講じる必要がある。更に、本実施例では不揮発性メモリ13としてE²PROMへの電源供給の場合について述べたが、EPROMであっても良く、また不揮発性メモリ以外への電源切換に用いるようにしても良い。

【0013】

【発明の効果】上述した如く本発明に依れば、必要時のみ電圧が供給される第1の電源ラインと常時電圧が供給される第2の電源ラインからの電圧を、夫々第1、第2MOSトランジスタを用いて択一選択的に供給させる電源切換回路において、この第1、第2MOSトランジスタのバックゲートを第1の電源ライン側又は第2の電源ライン側に切り換え接続するようにしているので、第1、第2MOSトランジスタのバックゲートがフローティング状態になるのを確実に防止することができ、例えばこのような電源切換回路をEPROMやE²PROM等の不揮発性メモリの電源切換としてその不揮発性メモリと共に同一のICチップ内に組み込んだ場合に、誤動作を生じない信頼性の高いICチップを実現することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例を示す図。

【図2】 従来の構成例を示す図。

【符号の説明】

- 1、3 第1、第2MOSトランジスタ
- 2、4 高電圧、低電圧電源ライン
- 5 電圧供給ライン
- 6 切換駆動回路
- 13 不揮発性メモリ
- 14 切換接続回路
- 15 電圧検出回路
- 16、17 第3、第4MOSトランジスタ

The circuit diagram shows a complex arrangement of transistors, resistors, and logic gates. Key components include:

- VCC**: Power supply terminal (4).
- VPP**: Programming voltage terminal (2).
- Transistors**: Labeled 1, 3, 16, 17, and 19.
- Resistors**: Two resistors are shown in series with transistor 16.
- Logic Gates**: Includes inverters (8, 10, 11), a NAND gate (12), and a comparator-like structure (18) connected to ground.
- Memory Element**: A non-volatile memory unit (13) labeled "不揮発性メモリ" (Non-Volatile Memory), which receives a V_{PP}/V_{CC} signal (5).
- Input/Output**: An input terminal (7) connects to a network of delay elements (t_d) and inverters (8, 10, 11).
- Other Labels**: Numbers 1 through 19 identify specific nodes and components throughout the circuit.